

# MODULE HANDBOOK

## < Pengantar Verifikasi Sistem >

Nama Mata Kuliah	<b>Pengantar Verifikasi Sistem</b>	
Prodi	Sarjana	
Kode Mata Kuliah	SM234655	
Semester	6	
Penanggung Jawab	<ul style="list-style-type: none"><li>• Muhammad Syifa'ul Mufid, S.Si., M.Si., D.Phil.</li><li>• Dr. Dieky Adzkiya, S.Si., M.Si.</li></ul>	
Dosen Pengampu	<ul style="list-style-type: none"><li>• Muhammad Syifa'ul Mufid, S.Si., M.Si., D.Phil.</li><li>• Dr. Dieky Adzkiya, S.Si., M.Si.</li></ul>	
Bahasa	Bahasa Indonesia	
Metode Pembelajaran	Metode SCL	
Beban kerja	1. Tatap Muka: 2 x 50 = 100 menit per minggu 2. Pembelajaran terstruktur : 2 x 60 = 120 menit per minggu 3. Pembelajaran mandiri: 2 x 60 = 120 menit per minggu.	
Bobot SKS	2 sks	
Syarat mengikuti Ujian	Seorang mahasiswa harus menghadiri setidaknya 80% perkuliahan untuk dapat mengikuti ujian.	
Mata Kuliah Prasyarat	-	
<b>Capaian Pembelajaran Mata Kuliah (CPMK)</b>	CPMK-1	Mampu memodelkan fenomena sederhana sebagai sistem transisi
	CPMK-2	Mampu memformulasikan kebutuhan menjadi spesifikasi formal
	CPMK-3	Mampu menyelesaikan verifikasi model sistem transisi terhadap spesifikasi formal dengan bantuan perangkat lunak
	CPMK-4	Mampu memodelkan fenomena real time sebagai automata berwaktu
	CPMK-5	Mampu memformulasikan kebutuhan berwaktu menjadi spesifikasi formal berwaktu
	CPMK-6	Mampu verifikasi model automata berwaktu terhadap spesifikasi formal berwaktu dengan bantuan perangkat lunak
<b>Deskripsi Singkat Mata Kuliah</b>	Dalam mata kuliah ini pertama akan dibahas latar belakang dibutuhkannya verifikasi formal. Mahasiswa diberikan informasi tentang model sistem transisi dan sifat-sifatnya. Kemudian dibahas bagaimana memformulasikan	

	<p>suatu kebutuhan menjadi spesifikasi formal. Mahasiswa diperkenalkan dengan perangkat lunak untuk menyelesaikan permasalahan verifikasi. Kemudian mahasiswa diperkenalkan dengan verifikasi real time, menggunakan model automata berwaktu. Kemudian dibahas bagaimana memformulasikan kebutuhan berwaktu menjadi spesifikasi formal berwaktu. Setelah itu, dibahas bagaimana menyelesaikan permasalahan verifikasi real time dengan bantuan perangkat lunak.</p>
<b>Bahan Kajian: Materi Pembelajaran</b>	<ul style="list-style-type: none"> <li>● Sistem transisi</li> <li>● Spesifikasi formal: Linear Temporal Logic, Computation Tree Logic</li> <li>● Automata berwaktu</li> <li>● Spesifikasi formal berwaktu: Timed Computation Tree Logic</li> <li>●</li> </ul>
<b>Bobot Penilaian</b>	<ul style="list-style-type: none"> <li>● Assignment (20%)</li> <li>● Quiz (20%)</li> <li>● Mid-term Examination (30%)</li> <li>● Final Examination (30%)</li> </ul>
<b>Media Pembelajaran</b>	LCD, whiteboard, websites (myITS Classroom), zoom.
<b>Pustaka</b>	<p>Utama :</p> <ol style="list-style-type: none"> <li>1. Baier, C. dan Katoen, J.-P., 2008, Principles of Model Checking, The MIT Press.</li> <li>2. Ben-Ari, M., 2008, Principles of the SPIN model checker, Springer.</li> <li>3. Behrmann, G., David, A. dan Larsen, K. G. tutorial on UPPAAL, Formal methods for design of real-time systems</li> </ol> <p>Pendukung:</p>